

## Разработка СБИС строго самосинхронного микропроцессора

В рамках федеральной целевой программы "Развитие электронной компонентной базы и радиоэлектроники" на 2008 - 2015 годы по заказу [Федерального агентства по науке и инновациям \(www.fasi.gov.ru\)](http://www.fasi.gov.ru) специалистами нашей компании была проведена научно-исследовательская работа по разработке модулей СБИС универсального строго самосинхронного микропроцессора (ССМ), обеспечивающего сверхнизкое энергопотребление.

При проектировании модулей ССМ применялся принципиально новый подход к проектированию схем. В отличие от общепринятого подхода к проектированию синхронных схем (в которых синхронизация работы всех блоков осуществляется при помощи глобального тактового дерева, при разработке которого накладываются высокие требования к расфазировке и дрожанию фронтов), в строго самосинхронных схемах (ССС) синхронизация осуществляется за счет непосредственного определения моментов окончания переходных процессов в отдельных блоках схемы и использования этих сигналов для синхронизации соседних блоков. Таким образом, скорость работы схемы определяется исключительно задержками распространения сигнала в схеме и является максимально возможной для текущих условий (температуры, напряжения питания), параметров полупроводниковой структуры и обрабатываемых данных (в синхронных схемах быстродействие схемы определяется задержкой работы самого медленного блока при наихудших условиях). Более наглядно диаграммы работы синхронной с ССС схем показаны на рис. 1.

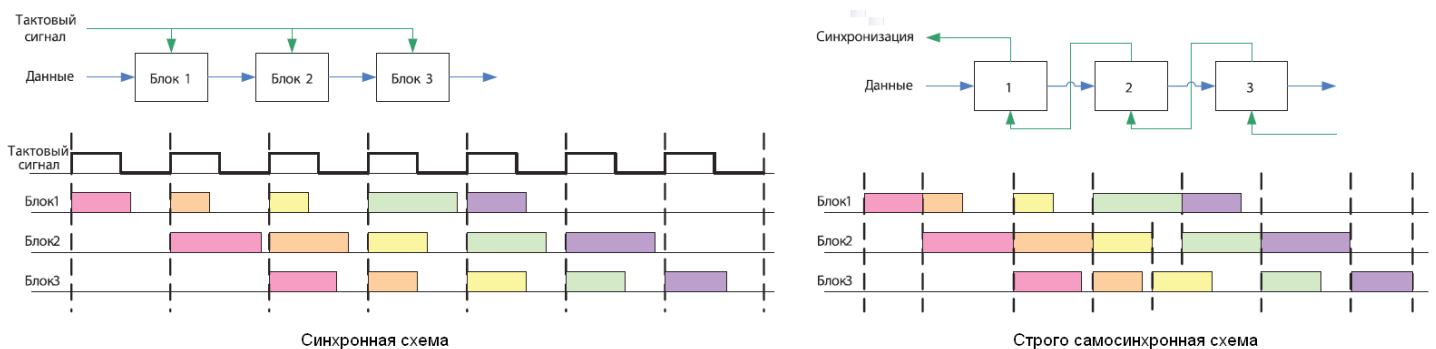


Рис.1 Диаграммы работы ССС и синхронной схемы

Из рисунка видно, что скорость работы ССС определяется обрабатываемыми данными и не лимитируется периодом тактового сигнала как в аналогичной синхронной схеме, это объясняется тем, что при расчёте максимальной частоты работы синхронной схемы используют предположение наихудшего случая по напряжению питания и температуре, а в качестве времени задержки – берут время задержки самого медленного блока в схеме (рис. 2), а для ССС таких ограничений нет. Кроме того, скорость работы схемы определяется технологическим разбросом параметров при производстве микросхемы (предполагают равным 30% от времени вычисления схемы), нарушением целостности сигнала в результате скачков напряжения и перекрёстных наводок (25%) и разбросом параметров тактового дерева (30%).

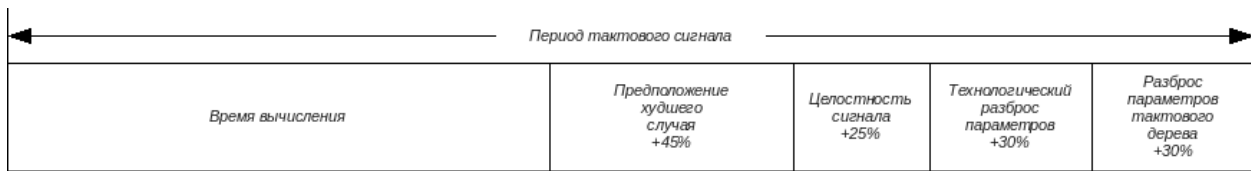


Рис.2 Определение скорости работы синхронной схемы

Таким образом, при использовании одинаковой технологии производства, ССС будет работать быстрее чем её синхронный аналог, т.к. отсутствует тактовое дерево и скорость работы не лимитируется работой самого медленного блока.

Более подробно об основных особенностях ССС можно прочитать в статьях [«Самосинхронные схемы. Основные особенности»](#) и [«Самосинхронная схемотехника: повышение энергоэффективности вычислений в микропроцессорных системах»](#).

На рис. 3 показан пример самосинхронной схемы, состоящий из двух блоков.

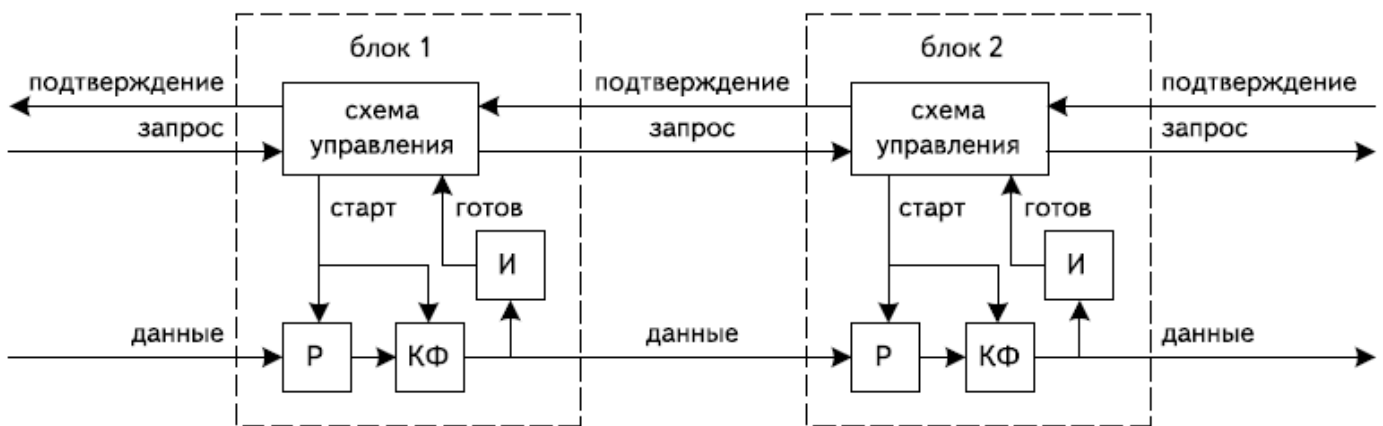


Рис.3 Самосинхронная конвейерная схема

Каждый блок состоит из самосинхронного регистра (Р), осуществляющего хранение данных на время обработки, и комбинационной функции (КФ), выполняющей обработку данных. К выходу комбинационной функции подключён индикатор (И), отслеживающий момент окончания переходного процесса. В зависимости от реализации, индикатор может быть как отдельным блоком, так и частью комбинационной функции. Работа схемы происходит следующим образом: на вход блока подаются данные, сопровождаемые сигналом «Запрос». Если блок в данный момент не активен и готов к приёму новых данных, схема управления формирует сигнал «Старт», который осуществляет запись данных во входной регистр и активирует работу комбинационной функции блока, кроме этого, формируется сигнал «Подтверждение», показывающий, что блок готов к приёму новых данных. Через какое-то время, по завершению переходных процессов, индикаторный блок формирует сигнал «Готов», показывающий, что вычисления закончены и на выходе блока находятся верные данные. Если от следующего блока приходит сигнал «Подтверждение», система управления формирует сигнал «Запрос».

Несмотря на некоторое усложнение схемы благодаря введению блока индикации и схемы управления, самосинхронные схемы имеют огромные преимущества по сравнению с синхронными аналогами:

- низкое энергопотребление за счёт того, что при отсутствии данных - в схеме не происходят переключения сигналов и остаётся только статическое потребление, в отличие от синхронной схемы, где без использования специальных мер, независимо от наличия данных тактовый сигнал подаётся на триггеры;

- низкий уровень перекрёстных наводок и электромагнитного излучения, вызванный тем, что переключения в схеме происходят в разные моменты времени;

- высокая стойкость к технологической разбросу параметров элементов, температуры и напряжения питания, т.к. работоспособность схемы определяется только сохранением переключательных свойств транзисторов (ССС корректно функционируют даже при снижении напряжения питания до уровня порога переключения транзисторов);

- максимально возможное быстродействие схем, т.к. скорость работы определяется обрабатываемыми данными и не лимитируется предположением худшего случая по температуре, напряжению питания и задержкой самого медленного элемента схемы;

- естественная устойчивость к параметрическим отказам, вызываемым старением элементов и изменением их параметров и гонкам сигналов в схеме (работоспособность схемы определяется только сохранением переключательных свойств транзисторов и данные передаются с помощью парафазного протокола с подтверждением приёма);

- естественная 100% самопроверяемость и самодиагностируемость по отношению к множественным константным неисправностям (наличие специального протокола передачи данных гарантирует 100% самопроверяемость и самодиагностируемость, а также локализует место возникновения неисправности);

- безопасность функционирования на основе бестестовой локализации неисправностей (то есть прекращение работы в момент отказа элемента), исключающая выдачу недостоверной информации, с одновременной индикацией места события;

- высокая эффективность создания надежных изделий (определяется наличием самодиагностики и возможностью создания изделий с саморемонтом);

- максимально возможная область эксплуатации, определяемая только физическим сохранением переключательных свойств элементов базиса реализации.

При исследовании нами различных вариантов построения самосинхронных схем, было выявлено, что наиболее оптимальным является использование NCL-логики (NULL Convention Logic) с 2-х фазным (парафазным) кодированием данных, поскольку такой способ является наиболее простым с точки зрения реализации СССР при выполнении всех требований на самосинхронность. Впервые такой подход был предложен компанией Theseus Research, Inc.

При построении строгосамосинхронной схемы используют парафазное представление сигналов, где каждый сигнал  $A$  передается по двум проводникам  $A.f$  и  $A.t$ . Таким образом  $A$  может принимать три значения «DATA0» ( $A.f = 1, A.t = 0$ ), «DATA1» ( $A.f = 0, A.t = 1$ ) и NULL ( $A.f = 0, A.t = 0$ ). Состояние ( $A.f = 1, A.t = 1$ ) не используется и говорит только об ошибке в работе схемы. Состояние NULL (разделитель или спейсер) используется для разделения отдельных данных во времени, как показано на рис. 4

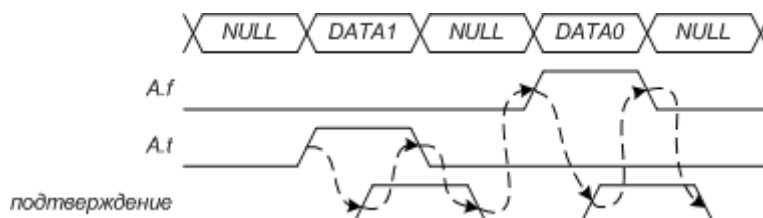


Рис. 4 Парафазный протокол передачи данных

Основу NCL-схем составляют пороговые элементы  $TG_{mn}$  и G-триггеры показанные на рис. 5. G-триггер представляет собой переключающий элемент с гистерезисом, его переключение происходит только тогда, когда на его входах присутствуют одинаковые логические уровни. Если уровни разные – то такой элемент сохраняет предыдущее состояние. Условное графическое изображение G-триггера и его таблица истинности показаны на рис. 5.

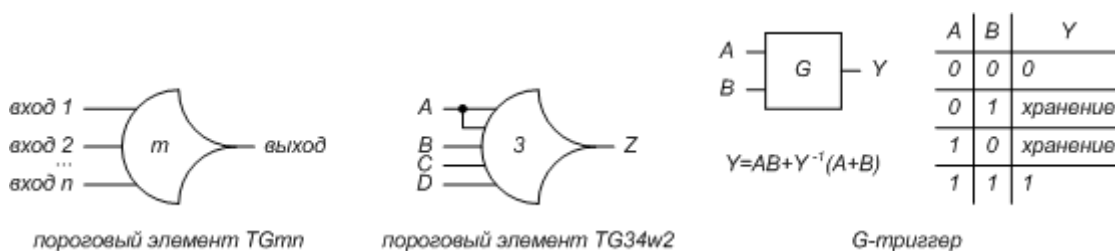


Рис. 5 Базовые элементы CCC

Пороговый элемент  $TG_{mn}$  характеризуется двумя параметрами: количеством входов  $n$  и порогом срабатывания  $m$ , причем должно выполняться соотношение  $(1 \leq m \leq n)$ . Переключение выхода этого элемента в логическую 1 происходит при поступлении логических 1 на  $m$  его входы и сохраняется до тех пор, пока на всех его входах не будет логических 0. Расширением элемента  $TG_{mn}$  является пороговый элемент с весовыми коэффициентами для указанных входов  $TG_{mnpw_1w_2w_3w_4}$ , где  $w_i$  – весовой коэффициент для входа  $i$ . На рис. 6 показан пороговый элемент  $TG_{32w_2}$  с весовым коэффициентом 2 для первого входа.

Пороговые элементы, у которых  $m=n$  соответствуют G-триггерам с  $n$  входами, а если  $m=1$  – элементу ИЛИ с  $n$  входами. Остальные элементы являются расширением рассмотренных G-триггеров и могут быть построены на их основе.

На рис. 6 показана реализация базовых логических элементов И, ИЛИ, НЕ и ИСКЛЮЧАЮЩЕЕ-ИЛИ в базисе NCL, на основе которых разрабатывается комбинационная часть схемы.

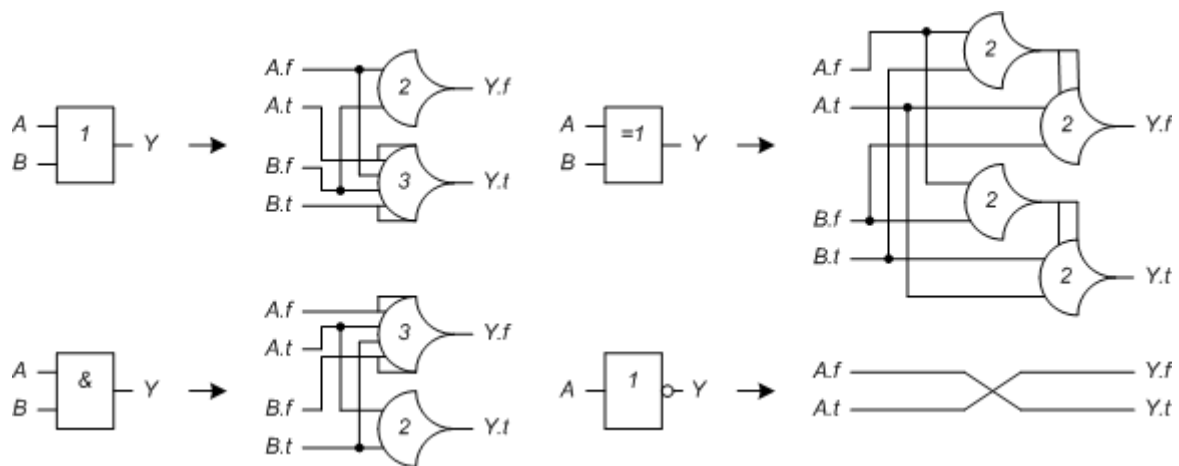


Рис. 6 Реализация логических функций в NCL-базисе

На рис. 7 показан пример организации самосинхронного конвейера в NCL-базисе. Он состоит из двух регистров и комбинационной схемы. Каждый регистр состоит из двух частей – схемы запоминания состояния и индикатора, который показывает, что все переходные процессы закончены и правильные данные появились на выходе регистра. Синхронизация работы схемы осуществляется при помощи обратной связи и блока формирования сигнала готовности, который подключён к каждому самосинхронному регистру в конвейере. Порядок прохождения данных в конвейере определяется сигналами запроса и подтверждения (Ki и Ko соответственно).

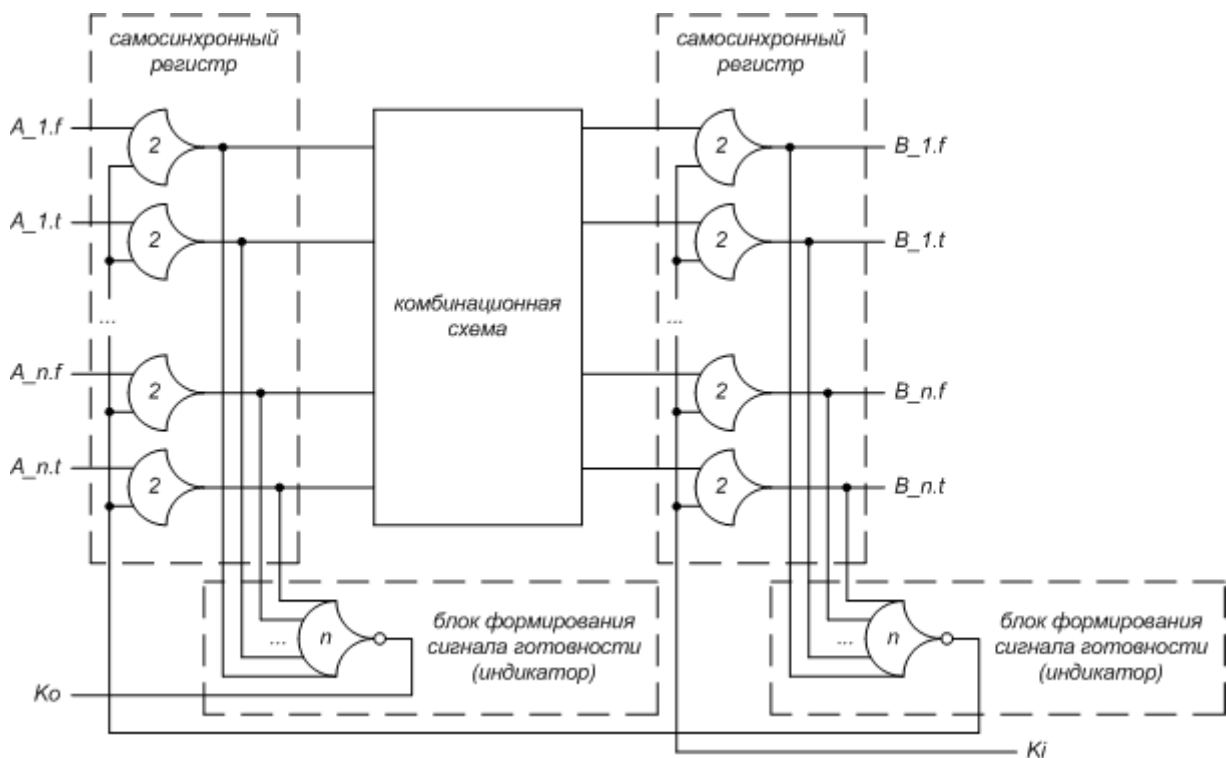


Рис. 7 Реализация строго самосинхронной конвейерной схемы с NCL-базисе

Протокол передачи данных в конвейере следующий: самосинхронные регистры принимают состояние DATA («0» или «1») только когда приходит запрос rfd (request for data) на вход Ki ( $K_i = 1$ ), и принимают состояние NULL только по запросу rfn (request for null) на входе Ki ( $K_i = 0$ ). Также генерируются и сигналы подтверждения Ko: когда на выходе регистра состояние DATA – на выходе Ko

( $K_0 = 1$ ) выставляется сигнал подтверждения rfn (ready for null), когда выходы регистра принимают состояние NULL – на выходе  $K_0$  ( $K_0 = 0$ ) выставляется сигнал подтверждения rfd (ready for data).

Более подробно о самосинхронных схемах и NCL-логике можно прочитать в статьях «[Самосинхронные схемы. Основные особенности](#)» и «[Самосинхронные схемы. Принципы построения и элементная база](#)».

Целью нашей работы являлось создание функциональных моделей блоков СБИС ССМ, программно-аппаратное моделирование их работы и создание топологии отдельных модулей.

Для задач программно-аппаратного моделирования был создан стенд на основе вычислительного модуля [DS-E-4000](#). Схема экспериментального стенда и его внешний вид показаны на рис. 8.

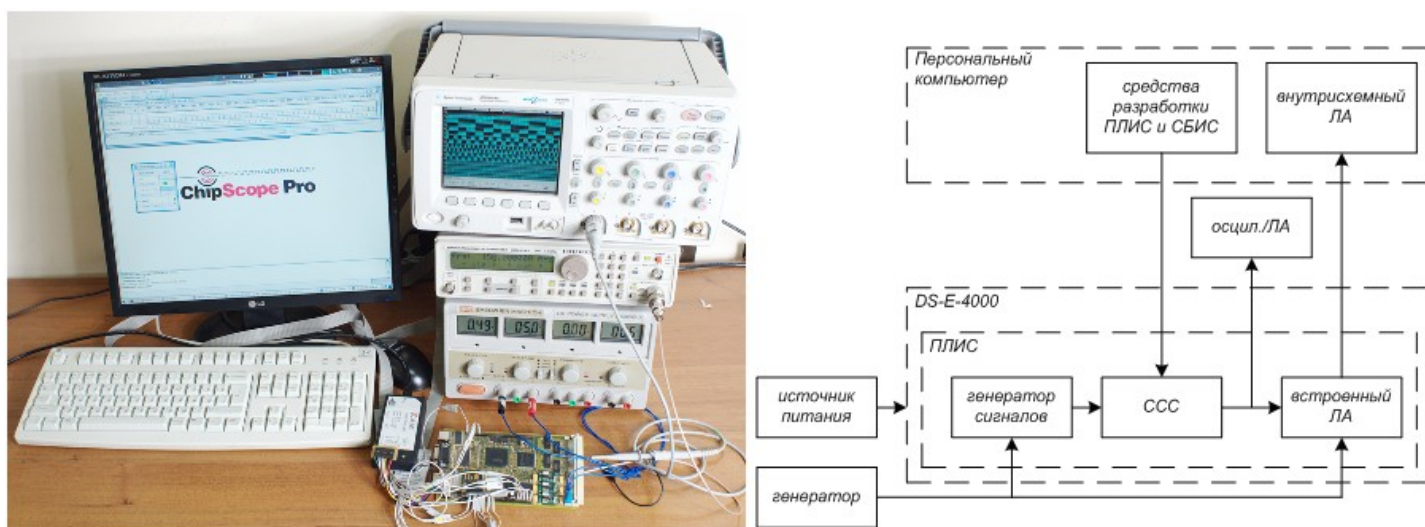


Рис. 8 Экспериментальный стенд

В состав стенда входит вычислительный модуль DS-E-4000, содержащий ПЛИС Xilinx семейства Spartan 3 объемом 4 млн. лог. вентилей, персональный компьютер, осциллограф совмещенный с логическим анализатором, источник питания и генератор. В ПЛИС помимо ССС определённого функционального блока ССМ имеются модули задания тестовых воздействий и модуль встроенного анализатора для отслеживания состояний внутренних сигналов схемы. На стенде исследовалась возможность использования ПЛИС для прототипирования ССС, а также измерение потребляемой мощности для различных блоков ССМ. Также проверялась правильность функционирования отдельных блоков при строго самосинхронной реализации. Результаты экспериментов показали, что при корректном задании файла ограничений на этапе синтеза и разводки схемы в базе ПЛИС имеется возможность использования ПЛИС в качестве прототипа для конечного изделия. При исследовании потребляемой мощности проводилось сравнение значений энергопотребления для синхронного и самосинхронного исполнения различных схем – для самосинхронного исполнения был подтверждён значительный выигрыш по этому показателю.

Функционирование экспериментального стенда на примере программно-аппаратной верификации строго самосинхронного блока делителя показана ниже на рис. 9-11.

Схема проверки делителя показана на рис. 9 и включает в себя блок генерации входных данных для делителя и сам делитель, модуль встроенного логического анализатора, схему генерации сигналов

подтверждения (необходима из-за использования парафазного представления сигналов) и порты для подключения внешнего логического анализатора.

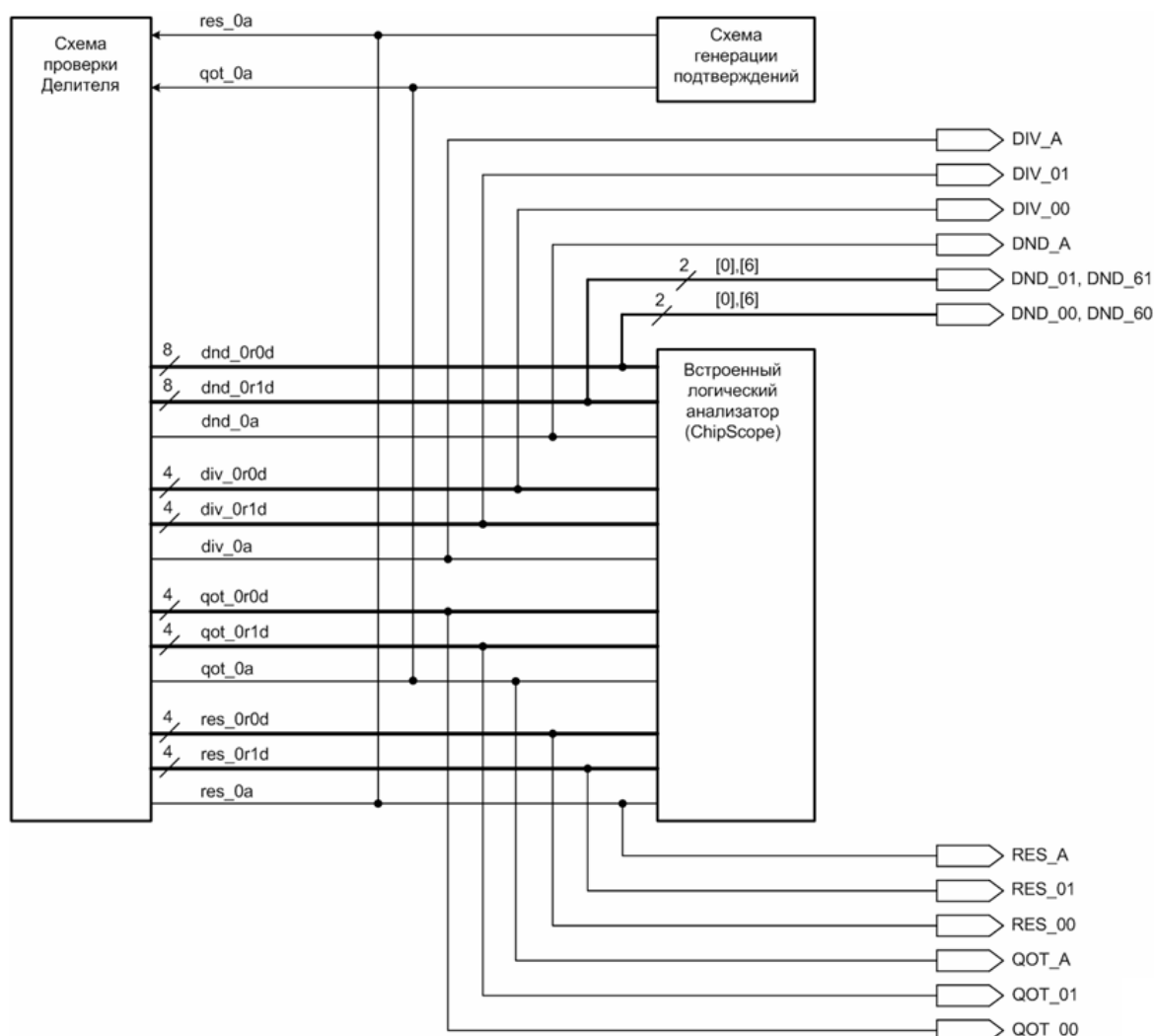


Рис. 9 Структурная схема для тестирования блока делителя

Результаты моделирования такой схемы анализируются с помощью внешнего и встроенного логического анализатора (ЛА) и показаны на рис. 11 и 12. Таблица соответствия портов схемы проверки делителя и сигналов ЛА показана ниже:

#### Встроенный ЛА

Сигнал делителя	Сигнал ЛА	Назначение
dnd_0r0d	dnd0	делимое в парафазном представлении
dnd_0r1d	dnd1	
dnd_0a	dnd_a	подтверждение dnd
div_0r0d	div0	делитель в парафазном представлении
div_0r1d	div1	
div_0a	div_a	подтверждение div
qot_0r0d	qot_0	частное в парафазном представлении
qot_0r1d	qot_1	
qot_0a	qot_a	подтверждение qot
res_0r0d	res_0	остаток в парафазном представлении
res_0r1d	res_1	

#### Внешний ЛА

Сигнал делителя	Сигнал ЛА	Назначение
dnd_0a	DND_A	подтверждение dnd
dnd_0r0d[0]	DND_00	делимое в парафазном представлении (0-й разряд)
dnd_0r1d[0]	DND_01	
dnd_0r0d[6]	DND_60	делимое в парафазном представлении (6-й разряд)
dnd_0r1d[6]	DND_61	
div_0a	DIV_A	подтверждение div
div_0r0d[0]	DIV_00	делитель в парафазном представлении (0-й разряд)
div_0r1d[0]	DIV_01	
qot_0a	QOT_A	подтверждение qot
qot_0r0d[0]	QOT_00	частное в парафазном представлении (0-й разряд)
qot_0r1d[0]	QOT_01	

res_0a	res_ack	подтверждение res

res_0a	RES_A	разряд подтверждения res
res_0r0d[0]	RES_00	остаток в парафазном представлении
res_0r1d[0]	RES_01	

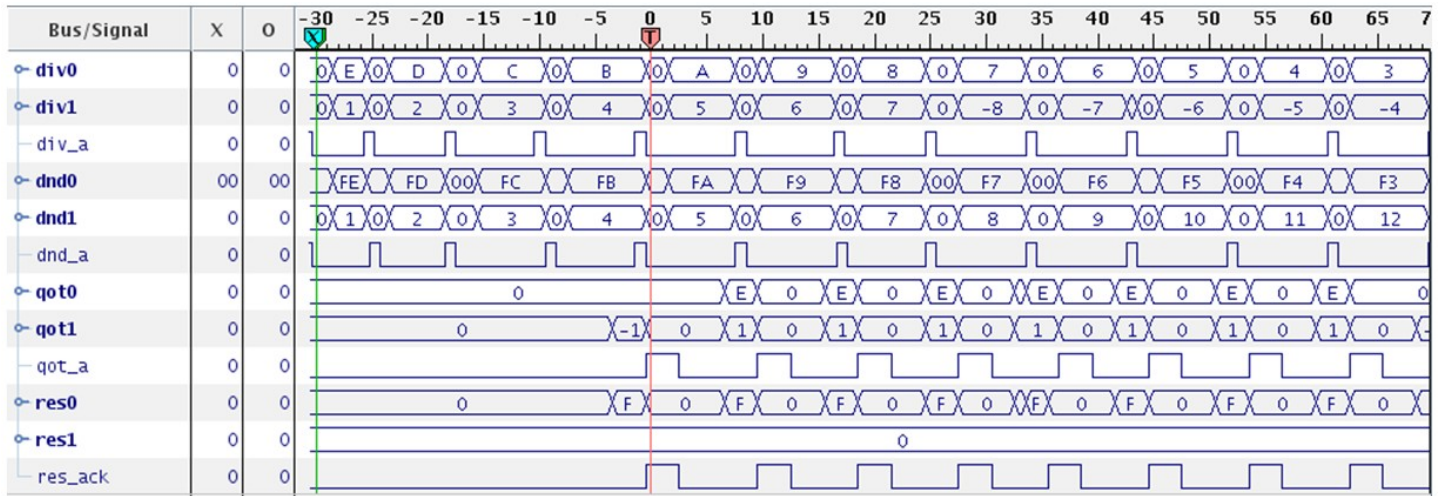


Рис. 10 Временная диаграмма работы блока делителя, полученная при помощи встроенного логического анализатора

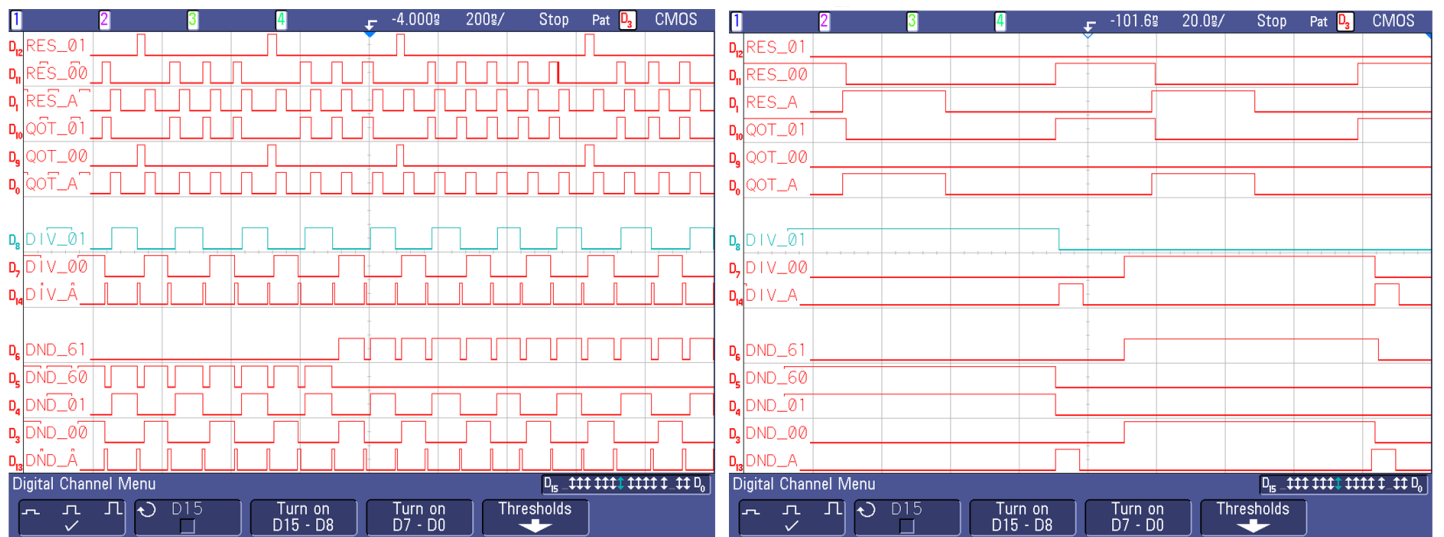


Рис. 11 Временная диаграмма работы блока делителя, полученная при помощи внешнего логического анализатора

Анализ временной диаграммы работы схемы (рис. 11) показывает, что скорость работы ССС действительно зависит от обрабатываемых данных.

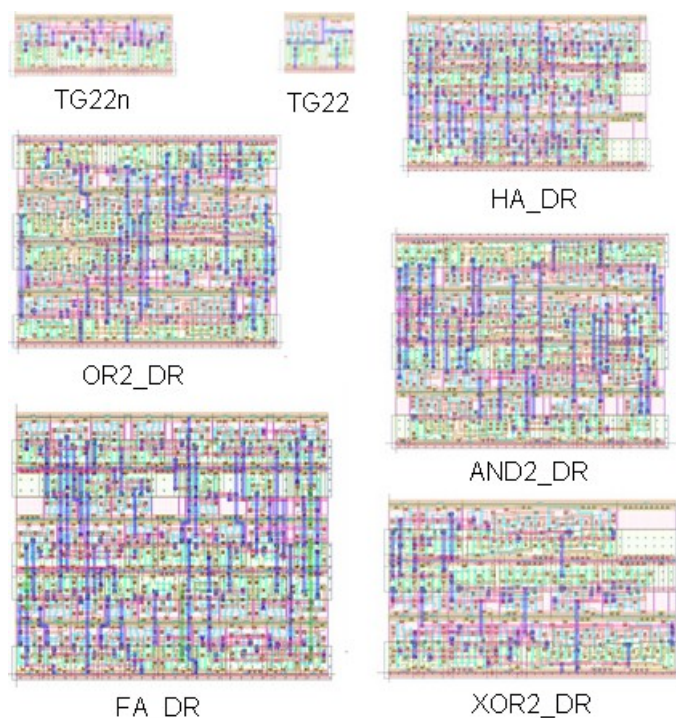
В рамках данного проекта, нами была создана функционально полная библиотека строго самосинхронных элементов, основанных на NCL-логике, необходимая для разработки всех требуемых логических блоков ССМ. Топологическая реализация библиотеки была получена с использованием библиотеки SiTerra CL130G technology (0.13um CMOS Logic Generic). Описание библиотеки и топология некоторых входящих в неё элементов показаны на рис. 12.

При помощи этой библиотеки строго самосинхронных элементов был произведён синтез топологии отдельных блоков и проведено SPICE-моделирование их работы. Анализ результатов



моделирования показал возможность использования технологической библиотеки для синхронных элементов при проектировании строго самосинхронных схем.

№	Название	Назначение	Тип
1	TG22	пороговый элемент с обратной связью (weight = 2; threshold = 2)	ПЭ
2	TG22n	пороговый элемент с обратной связью (weight = 2; threshold = 2) с инвертором на выходе	ПЭ
3	TG33	пороговый элемент с обратной связью (weight = 3; threshold = 3)	ПЭ
4	TG23	пороговый элемент с обратной связью (weight = 3; threshold = 2)	ПЭ
5	TG34	пороговый элемент с обратной связью (weight = 4; threshold = 3)	ПЭ
6	AND2_DR	логический элемент И для парафазного представления входных сигналов	ЛЭ
7	MX2_DR	двухвходовый мультиплексор для парафазного представления входных сигналов	ЛЭ
8	OR2_DR	логический элемент ИЛИ для парафазного представления входных сигналов	ЛЭ
9	XOR2_DR	логический элемент ИСКЛЮЧАЮЩИЕ ИЛИ для парафазного представления входных сигналов	ЛЭ
10	FA_DR	полный сумматор с парафазным представлением сигналов	ЛЭ
11	HA_DR	полусумматор с парафазным представлением сигналов	ЛЭ
12	BUF_DR	буфер для парафазного представления сигналов	ЛЭ



ЛЭ – логический элемент

ПЭ – пороговый элемент с обратной связью

Рис. 12 Библиотека строго самосинхронных элементов

Результаты SPICE-моделирования работы строго самосинхронных элементов (для указанной технологии) при пониженном напряжении питания показали устойчивую работу самосинхронных схем. При снижении напряжения питания до 0,34 В (при 25С) и до 0,2 В (при 125С) СС демонстрируют устойчивую работоспособность. Такие результаты являются недостижимыми при использовании синхронной схемотехники и указанной технологии производства. Результаты SPICE-моделирования работы элемента MX2\_DR (двухвходовый мультиплексор с парафазным представлением сигналов) при температуре 25С представлены на рис. 13, где отчётливо прослеживается участок работоспособности (вплоть до снижения напряжения питания до 340 мВ). На графике чётко видно, где схема ещё остаётся работоспособной и момент, когда переключения в схеме становятся уже невозможными.

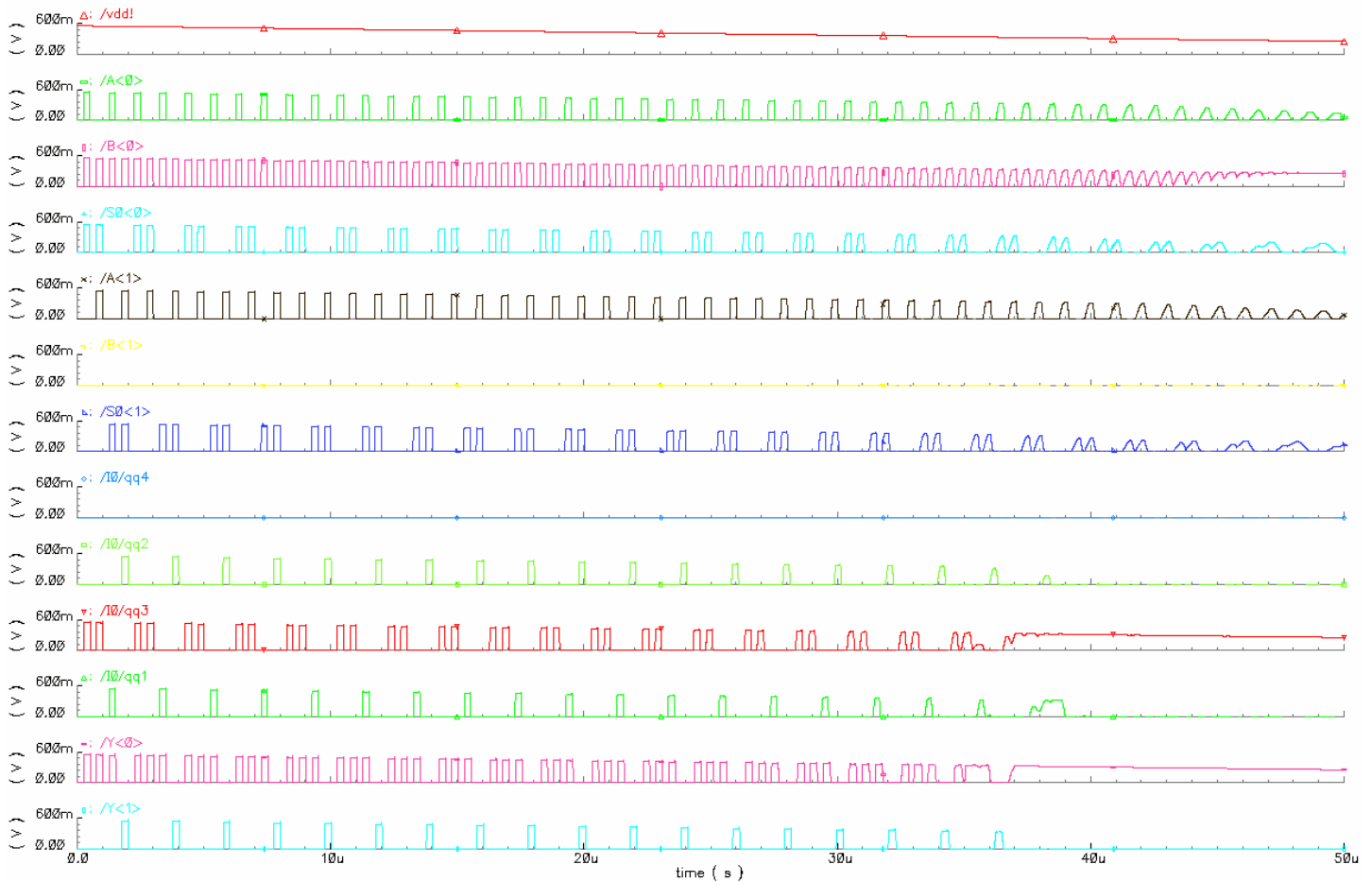


Рис. 13 Результаты SPICE-моделирования работы строго самосинхронного элемента MX2\_DR при пониженном напряжении питания

В ходе работы были разработаны все необходимые блоки для реализации строго самосинхронного микропроцессора, обеспечивающего сверхнизкое энергопотребления за счёт отсутствия цепей синхронизации; проведено программно-аппаратное моделирование их работы, включая анализ быстродействия и энергопотребления.

Основными блоками являлись:

- строго самосинхронное процессорное ядро;
- блок выборки команд;
- блок дешифрации команд, обработки прерываний и исключительных ситуаций;
- исполнительный блок;
- блок управления памятью и внешней шиной;
- блок контроллера прямого доступа к памяти;
- блок деления и извлечения квадратного корня.

*Разработанные методики и опыт проектирования строго самосинхронных схем позволяют нашим специалистам эффективно выполнять работы по созданию специализированных строго самосинхронных устройств для конкретных применений, где требования быстродействия, энергоэффективности и надёжности являются основополагающими.*

Более подробно о самосинхронной схемотехнике, её идеологии и преимуществах можно прочитать в ряде статей, опубликованных в ведущих журналах по электронике:

- [«Самосинхронная схемотехника: повышение энергоэффективности вычислений в микропроцессорных системах»](#)
- [«Самосинхронные микропроцессоры для промышленных контроллеров: повышение эффективности вычислений в АСУТП»](#)
- [«Обзор современных самосинхронных микропроцессоров»](#)
- [«Самосинхронные схемы. Основные особенности»](#)
- [«Самосинхронные схемы. Принципы построения и элементная база»](#)
- [«Методы снижения энергопотребления в строго самосинхронных микропроцессорных схемах»](#)
- [«Современные средства автоматизации процесса проектирования строго самосинхронных схем»](#)