

# ПЛИС и СБИС в системах ЦОС: интеграция функций, аппаратные платформы и сопряженное проектирование

Сергей Заводсков, Александр Руткевич, Мария Синельникова, Владимир Стешенко, Григорий Шишкин

Десять лет назад были опубликованы работы [1, 2], в которых рассматривались тенденции в реализации различных классов алгоритмов цифровой фильтрации на существующей элементной базе. В этих работах показано, что, учитывая специфику производства и применения, в значительной большинстве случаев оптимальной является реализация вычислителя в виде связки «процессор — ПЛИС». Такой подход позволяет существенно повысить гибкость аппаратных средств за счет возможности модернизации ПО процессора и ПЛИС и оперативного перераспределения ресурсов между ними. Следует отметить, что направление, заложенное в этих работах, оказалось востребованным, но в то же время разработчики аппаратуры нуждаются в ответе на крайне важные вопросы: как распределить ресурсы между ПЛИС и процессором, какие архитектуры использовать и, самое важное, как организовать сам процесс сопряженного проектирования программного и аппаратного обеспечения?

Прежде чем приступить к анализу маршрута проектирования аппаратно-программного комплекса ЦОС, отметим основные реперные точки в развитии элементной базы для систем ЦОС, которые характеризует развитие систем за последние 10 лет.

- Значительное возрастание вычислительной мощности сигнальных процессоров, появление многоядерных архитектур, снижение стоимости и потребляемой мощности.
- Появление недорогих ПЛИС эквивалентной емкостью более 1 млн вентилей со встроенными процессорными ядрами, специализированными аппаратными блоками вычислителей, развитыми интерфейсами [3–5].
- Возрастание доступности современных микроэлектронных технологий для разработчика систем. Если еще 6–8 лет назад имелись только единичные попытки выхода отечественных компаний на современное субмикронное кремневое производство, то сейчас (начало 2008 года) существует огромное число разработок под нормы 0,18–0,25 мкм, появились первые отечественные наработки с уровнем 0,13–0,09 мкм. В соответствии с федеральными целевыми программами вводятся современные мощности и на отечественных предприятиях (ОАО «НИИ МЭ и завод «Микрон», ОАО «Ангстрем», ФГУП «НИИ ИС им. Седакова» и др.).
- Важным фактором является возрастание сложности и возможностей отладочных средств сигнальных процессоров и средств САПР ПЛИС и СБИС. Практически повсеместным стал отказ от использования ассемблера как основного языка разработки ПМО.
- Особенностью современного процесса проектирования становится стремление уменьшить влияние пресловутого «человеческого фактора». Важность организационных процедур и их степень проработки становятся ключевыми факторами в процессе проектирования. Ведь возрастающая сложность проектов приводит к необходимости организации командной разработки и созданию современных маршрутов проектирования аппаратуры [6–9]. Эти маршруты основаны на использовании языков описания аппаратуры высокого уровня, многокомпонентных наращиваемых сетевых средствах проектирования. Появилась необходимость интеграции разработки программ и аппаратуры в едином цикле (сопряженное проектирование), средства разработки алгоритмов стали интегрироваться со средствами разработки аппаратуры.
- Изменилась номенклатура интерфейсов, возросла скорость информационного обмена. Современные последовательные интерфейсы обеспечивают высокую скорость передачи информации, стандартизацию и унификацию этого процесса. Изменились подходы к схемотехническому проектированию

и конструированию аппаратуры — возросла роль моделирования целостности сигналов, тепловых режимов при проектировании узлов (плат) и кристаллов СБИС. Налицо значительное увеличение влияния технологии изготовления на процесс проектирования.

Развитие микроэлектронных технологий приводит к необходимости пересмотра подходов к проектированию. С переходом на проектные нормы менее 130 нм возрастает стоимость подготовки производства и, соответственно, цена риска технической и идеологической ошибки. В настоящее время средняя стоимость подготовки производства (изготовление фотошаблонов) и выпуск опытной партии в количестве 10–12 пластин (так называемый инженерный лот) на фабриках Юго-Восточной Азии (X-fab Sarawak, Siltera и т.п.) составляет по технологии 0,18 мкм — 120 тыс. долл. При проектных нормах 0,13 мкм стоимость фотошаблонов составляет уже 350 тыс. долл., а по технологии 0,09 мкм — около 1 млн долл. Очевидно, что при такой динамике, цена ошибки возрастает многократно.

Тенденция уменьшения проектных норм в первую очередь связана со стремлением получить как можно больше кристаллов с одной пластины, поскольку стоимость пластины составляет 800–1800 долл., при этом с уменьшением размера кристалла в два раза выход увеличивается в четыре.

При этом известно, что выход годных кристаллов не зависит от ми-

нимального размера, а с уменьшением размеров элементов увеличивается сьем кристаллов с пластины, значит, они становятся дешевле.

Таким образом, разработчик массовой аппаратуры оказывается под “дамкловым мечом” ответственности за принимаемые проектные решения.

В разработке и производстве аппаратуры ЦОС тенденцией последних лет стало жесткое требование по уменьшению срока выхода продукции на рынок. Это накладывает особенно жесткие требования на методологию и средства проектирования, которые должны обеспечить минимум итераций при освоении производства.

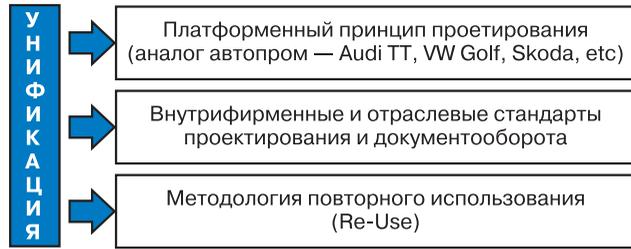
Значительно возрастает сложность процесса проектирования. При использовании традиционных методов проектирования хороший дизайнер может выполнять проект со средней скоростью порядка 100 вентилей в день или 30 строк RTL-кода. В этом случае, чтобы спроектировать СБИС сложностью 100 тыс. вентилей, потребуется 1000 человеко-дней, то есть команда из пяти человек сможет разработать такую СБИС в течение года. Следуя данной логике, чтобы разработать сложную СБИС порядка 10 млн вентилей в течение одного года, потребуется команда из 500 человек, что неприемлемо с точки зрения стоимости разработки.

По более точным прогнозам, если при переходе на глубокие субмикронные технологии (0,18–0,13 мкм) пользоваться существующей методологией проектирования, то стоимость проекта увеличивается до 250 человеко-лет, что неприемлемо для заказчика.

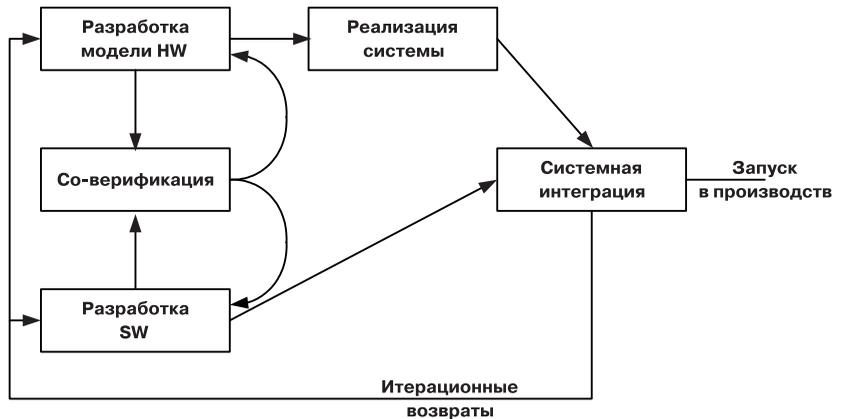
В последнее время сложилась тенденция постоянного роста доли затрат на разработку программного обеспечения (ПО) РЭА. Если вести разработку ПО и СБИС отдельно, то увеличивается вероятность выявления ошибок на этапах тестирования или эксплуатации всего комплекса аппаратуры.

Можно выделить дополнительно ряд причин, по которым необходимо переходить на новую методологию проектирования:

- в условиях рынка прибыль в значительной степени зависит от времени проектирования;
- такие технические параметры СБИС, как производительность, площадь кристалла и потребляемая мощность, являются ключе-



**Рис. 1. Платформенный принцип проектирования СБИС и аппаратуры**



**Рис. 2. Варианты верификации аппаратных и программных решений**

- выми элементами в продвижении товара на рынок;
- увеличение степени интеграции делает задачу верификации качественно более сложной;
  - из-за новых особенностей технологии глубокого субмикрона (DSM — Deep Submicron) все труднее удовлетворить всем требованиям по временным ограничениям (timing);
  - команды разработчиков высокоинтегрированных СБИС имеют различный уровень знаний и опыта в области проектирования, и часто при выполнении проектов СБИС расположены в различных частях мира.

Выход из создавшейся ситуации очевиден — необходимо изменить методологию проектирования систем ЦОС. Наиболее перспективным направлением в настоящий момент представляется методология проектирования систем ЦОС на основе СБИС типа “Система на кристалле” с использованием платформенного принципа организации [12].

Таким образом, становится очевидным общее место у двух, казалось бы, противоречивых направлений — необходимость единого методического и программно-аппаратного обеспечения процесса

проектирования. Такой подход к разработке мы назовем платформенным принципом проектирования (рис. 1).

Как обычно в современной российской электронике нет четкого определения слову “платформа”. В общем случае, в платформах ЦОС на основе СБИС класса “Система на кристалле” (SoC) должны содержаться, как минимум, процессорное ядро (с гарвардской архитектурой), контроллер памяти, универсальный асинхронный приемопередатчик, таймер, схема обеспечения безопасности, универсальные средства ввода-вывода с открытой шинной архитектурой для связывания всех элементов между собой, например на базе шины AMBA или Wishbone (рис. 3)

Платформенный подход к проектированию предполагает использование единой среды проектирова-



**Рис. 3. Персональный эмулятор ZeBu-ZV компании EVE**

ния. Единая среда проектирования “комплекс – аппаратура – компоненты” — это технология создания систем и комплексов на основе перспективных микроэлектронных технологий с учетом специализации компонентов под решение конкретных целевых задач аппаратуры и комплексов.

Данная технология предусматривает применение методов систематического повторного использования стандартных высокоинтегрированных сертифицированных СФ (IP) блоков и платформенного подхода к проектированию и производству аппаратуры. Характеризуется высокой степенью унификации проектных решений, нормативной базой и возможностью контроля качества на любом этапе разработки, производства и эксплуатации.

Основными преимуществами такого подхода являются:

- значительное сокращение сроков и стоимости разработки сложных систем при сохранении высокой функциональности за счет использования методологии “систематического повторного использования” СФ-блоков и унифицированных аппаратных платформ;
- гибкость при решении нестандартных задач за счет возможности наращивания физических интерфейсов и программного обеспечения;
- улучшение массогабаритных характеристик аппаратуры построенной на базе СБИС аппаратных платформ;
- аппаратная верификация алгоритмов на всех стадиях разработки проекта.

Предлагаемая методика проектирования предусматривает инвариантность к используемым библиотекам, обеспечивая возможность миграции проекта.

Применение платформ ЦОС на основе СнК имеет несколько преимуществ. Основное — это функциональная изоляция. Компоненты могут быть изолированы друг от друга и проверены по отдельности. Сама платформа может быть также изолирована от своих компонентов и проверена независимо. Использование платформы помогает ввести ее в различные изделия, при этом требуется минимальный объем перепроектирования и меньший объем повторной верификации. Если коллектив разработчиков не имеет ресурсов, времени, кадров для разра-

ботки гибкой платформы, он может приобрести необходимый СФ-блок у сторонней фирмы, что облегчает построение кооперационных связей

Платформенный принцип проектирования систем ЦОС на основе СнК является “прорывной” технологией, которая может сократить цикл разработки на 10–12 месяцев.

Как и в случае инструментальных средств САПР, коэффициент окупаемости инвестиций в платформы СнК быстро становится очевидным и реализация методологии платформ при конструировании представляется конкурентоспособным решением.

Разумеется, при работе с СнК платформами имеются определенные ограничения, связанные со случаями, когда требуются интенсивные модификации или чрезмерные усилия по обеспечению конфигурируемости. Сюда могут относиться максимальная и минимальная ширина шины на кристалле, отображение системной памяти, максимальные размеры кристалла и частота, системная задержка.

Совмещая концепцию СФ-блока с реконфигурируемой архитектурой и с базовой платформой уместно озвучить идеологию реконфигурируемых аппаратных платформах для малосерийных и настраиваемых изделий.

При создании реконфигурируемых платформ также целесообразно использование совместного конструирования аппаратных и программных средств. Платформы могут быть поставлены с уже конфигурируемыми средами разработки, состоящими из сборочных файлов проекта, программ на макроязыке и возможно даже инструментальных средств разработки, таких как компиляторы и устройства отладки. Коды также могут быть обеспечены, начиная от простых процедурных интерфейсов до аппаратных средств, до конфигурируемых программ верификации, до полностью отработанной операционной системы реального времени. Это позволяет осуществить разработку структуры программных средств системы и тестирование до интеграции дополнительных СФ-блоков, предназначенных для намеченного рынка.

Идеология сопряженного проектирования рассматривалась в отечественной и зарубежной литературе [13–15]. Сопряженное проектирование — процесс параллельного проектирования аппаратных и программных средств, при котором реализация той или иной функции обработки осуществляется путем

выбора аппаратной (на ПЛИС) или программной реализации. Процесс сопряженного проектирования не разделим с процессом сопряженной верификации совместной работы программного обеспечения и аппаратных средств системы ЦОС с целью определения их корректного совместного функционирования.

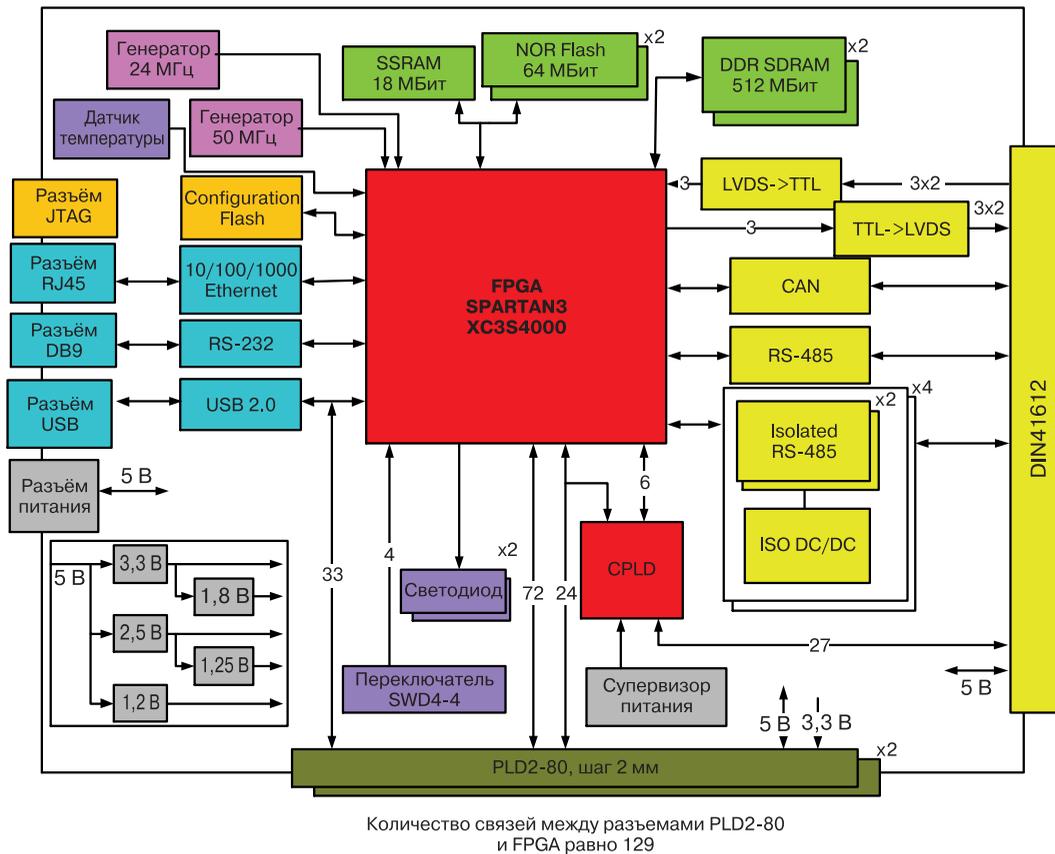
Задача современного сопряженного проектирования системы ЦОС — сокращение временных затрат и уменьшение числа итераций. Основные этапы процедуры сопряженного проектирования, базирующиеся на идеях сопряженной верификации, приведены на рис. 2.

Задачей комплексной отладки аппаратного (HW) и программного (SW) обеспечения является быстрое устранение ошибок проектирования. На этом этапе наиболее сложной становится стыковка двух разных подходов. Здесь у разработчиков программного и аппаратного обеспечения появляются противоречия в трактовке причин и источников отклонений характеристик системы от запланированных или ожидаемых. Обнаружение ошибок и способы их устранения могут требовать очередного перераспределения функций между HW и SW. Удобнее, чтобы стыковка произошла как можно раньше, и отладка выполнялась средствами, одинаково эффективными и для аппаратуры, и для программного обеспечения. Не менее важно, чтобы эти средства были одинаково удобны для разработчиков HW и SW.

Вопросы разбиения или перераспределения задач между HW и SW могут возникать даже на этапе встраивания проекта в ИС или на этапах отладки готового изделия. Однако чем позже, тем сложнее и дороже дается такое перераспределение.

Процедуры сопряженного проектирования требуют наличия соответствующей аппаратной базы для их реализации. На мировом рынке аппаратных платформ для верификации систем ЦОС уже наметилось несколько лидеров. Одной из первых разработок является персональный эмулятор ZeBu-ZV компании EVE (рис. 3) Архитектура ZeBu-ZV позволяет использовать эту платформу как разработчиками аппаратуры, так и разработчиками ПО.

Ресурсы эмулятора представлены логической емкостью до 1,5 млн ASIC эквивалентных вентилях, системной памятью объемом 128 Мбит и производительностью до 12 МГц. Данная модель является идеальной для



**Рис. 4. Структурная схема аппаратной платформы DS-E-4000**

верификации отдельных логических блоков, СФ-блоков, небольших проектов, реализуемых в FPGA или ASIC. Эмулятор реализован в виде стандартной PCI платы, вставляемой непосредственно в настольный PC, с возможностью интеграции с популярными логическими симуляторами и средствами синтеза. Интерфейс внутрисхемной эмуляции ICEPod позволяет подключить эмулятор к целевой системе или IP ядру с использованием 744 входных-выходных контактов. Также эмулятор имеет возможность подключения популярных программных отладчиков через 16-контактный интерфейс SmartICE или виртуальный JTAG транзактор.

Компанией НПП «Цифровые решения» разработано семейство цифровых аппаратных платформ для решения задач обработки высокоскоростных сигналов (включая видео), задач передачи данных и аппаратной верификации алгоритмов ЦОС, в том числе и прототипирования СБИС. Для прототипирования СБИС и аппаратной верификации СнК предназначена аппаратная платформа «DS-E-4000», структурная схема которой приведена на рис. 4, а конструкция на рис. 5. Основной платформой является ПЛИС фир-

мы Xilinx семейства Spartan3 объемом 4 млн логических вентилях. ПЛИС CPLD CoolRunner предназначена для мониторинга и тестирования работы основной ПЛИС. Стабильность работы платы также обеспечивается супервизором питания и датчиком температуры, подключенным к Spartan3.

Для хранения и работы с данными на плате предусмотрено 3 типа памяти: DDR SDRAM, SSRAM и NOR Flash.

В платформе «DS-E-4000» реализуется поддержка большинства наиболее распространенных интерфейсов, таких как Ethernet 1000/100/10, USB 2.0, RS232, RS485, CAN, LVDS, а также использование вводов-выводов на разъеме, подключенном непосредственно к ПЛИС.

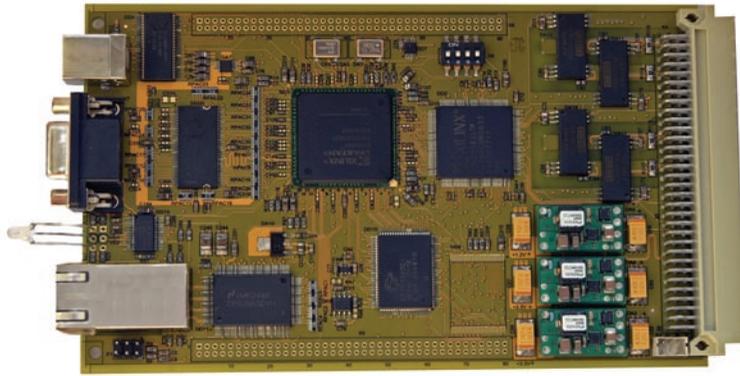
Основные технические характеристики аппаратной платформы «DS-E-4000»:

- ПЛИС Xilinx Spartan3 XC3S400;
- ПЛИС Xilinx XC9500;
- память:
  - NOR до 32 Мбайт,
  - SSRAM 2 Мбайт,
  - DDR SDRAM до 128 Мбайт;
- интерфейсы:
  - Ethernet 10/100/1000 (Gigabit Ethernet),

- USB 2.0,
- полный (с контролем потока) RS-232 на разъеме DB-9,
- CAN,
- RS485,
- восемь гальванически развязанных RS485,
- три LVDS входа, три LVDS выхода на DIN41612,
- до 129 программируемых ввода-вывода ПЛИС Spartan3,
- до 57 программируемых ввода-вывода ПЛИС XC9500;
- тактовые генераторы — 24 и 50 МГц;
- 4-битный переключатель;
- два двухцветных светодиода;
- мониторинг питания;
- цифровой датчик температуры;
- конструктив «Евромеханика»;
- напряжение питания платы — 5 В;
- промышленный и коммерческий диапазон температур.

Наличие широкого набора интерфейсов ввода-вывода обуславливает ориентированность платформы на решение широкого круга задач.

Платформа выполнена в конструктиве «Евромеханика» с разъемом DIN41612. Это позволяет строить комплексы верификации практически неограниченной логической емкости



**Рис. 5. Конструкция аппаратной платформы DS-E-4000**

(рис. 6). Дополнительные разъемы, расположенные по краям платы, могут использоваться для подключения мезонинных модулей.

Таким образом, мы попытались показать различные аспекты внедрения перспективных технологий проектирования и примеры их воплощения в конкретные изделия. Авторы будут признательны за отзывы, которые следует направлять по адресу: info@dsol.ru.

#### Литература

1. Стешенко В.Б., Губанов Д.А. Методология реализации алгоритмов цифровой фильтрации на основе программируемых логических интегральных схем: Сборник докладов 1-й Международной конференции "Цифровая обработка сигналов и ее применения" 30.06–03.07.1998. – М.: МЦНТИ. Т. 4.
2. Губанов Д.А., Стешенко В.Б., Храпов В.Ю., Шипулин С.Н. Перспективы реализации алгоритмов цифровой фильтрации на основе ПЛИС фирмы ALTERA // Chip News. 1997. № 9–10.
3. www.dsol.ru
4. Стешенко В.Б. Оценка производительности новых семейств ПЛИС Altera для применения в системах связи с ОФДМ // Цифровая обработка сигналов. 2005. № 3.
5. Стешенко В.Б. Алгоритмы цифровой обработки сигналов: реализация на ПЛИС // Электронные компоненты. 2006. № 6.
6. Стешенко В.Б. EDA. Практика автоматизированного проектирования радиоэлектронной аппаратуры. – М.: Ноллидж, 2002.
7. Стешенко В.Б. Проектирование аппаратуры цифровой обработки сигналов на ПЛИС с использованием языка описания аппаратуры VHDL // Цифровая обработка сигналов. 2001. № 1.

8. Стемпковский А.А., Шепелев В.А., Власов А.В. Системная среда САПР БИС // Наука. 1994.
9. Бухтеев А.В. Методы и средства проектирования систем на кристалле // Chip news. 2003. № 4. С 4–14.
10. R. Doering, Y. Nishi, "Limits of integrated circuit manufacturing", Proceedings of the IEEE, v. 89, №3, p. 375–393, 2001.
11. R. E. Bryant, K.-T. Cheng, A. B. Kahng, et al., "Limitations and challenges of computer-aided design technology for CMOS VLSI",



**Рис. 6. Платформа в конструктиве "Евромеханика"**

Proceedings of the IEEE, v. 89, № 3, p. 341–362, 2001.

12. H. Chang, L. Cooke, M. Hunt, et al., "Surviving the SOC revolution: A guide to platform-based design", Norwell, MA: Kluwer, 1999.

13. Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах с программируемой структурой / 2-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2006.

14. Морозов С., Соколов С. Аспекты эволюции субмикронной микроэлектроники – взгляд изнутри // Chip News. 2004. № 5. С. 4–13.

15. Немудров В., Мартин Г. Системы-на-кристалле. Проектирование и развитие. – М.: Техносфера, 2004.

## СИЛОВЫЕ РЕЗИСТОРЫ в корпусах TO-220 и TO-247

- оптимизированная технология производства толстопленочных резисторов
- стандартизированные промышленные корпуса TO-220, TO-247
- толщина корпуса 3.2 мм
- высокая мощность рассеяния на единицу объема корпуса
- широкий ряд номинальных сопротивлений: от 0.01 Ом до 1 МОм
- малая индуктивность (менее 0.1 мкГн)
- прямой монтаж на радиатор

# VISHAY

Москва, ул. Ивана Франко, д. 40, стр. 2  
Тел. (495) 97 000 99 E-mail: platan@aha.ru